

JA 000885
JAN 1979

FR-674

(54) MANUFACTURE OF FIELD EFFECT TRANSISTOR

(11) Kokai No. 54-885 (43) 1.6.1979 (19) JP

(21) Appl. No. 52-65943 (22) 6.3.1977

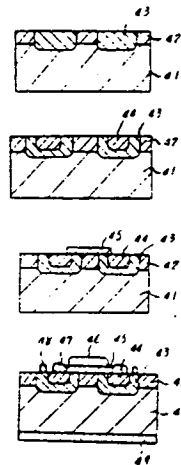
(71) NIPPON DENKI K.K. (72) KIYOSHI SAKAI

(52) JPC: 99(5)E3

(51) Int. Cl.² H01L29/78, H01L29/06

PURPOSE: To increase the dielectric strength as well as the power gain and also to enhance the high frequency properties, by forming the N-type layer on the N-type semiconductor substrate to provide P-type region there and installing gate insulator film at the center part of the ring-like P-type region after forming P-N-type region in the P-type region.

CONSTITUTION: N-type layer 42 is formed on N-type Si substrate 41 through the diffusion, ion injection, epitaxial growth and other methods, and P-type circular gate region 43 entering up to substrate 41 is formed there through diffusion and other methods. Then N-type source region 44 is formed through diffusion within region 43. In this case, the difference of the depth is controlled to one to several μ m between region 44 and 43 which will be the channel length. After this, gate insulator film 45 is formed covering over the inside regions opposing each other in region 43. Then first gate electrode 46 is attached on film 45; source electrode 47 is attached on region 44; second gate electrode 48 is attached on the region outside region 43; and drain electrode 49 is attached on the rear surface of substrate 41 respectively.



公開特許公報

昭54-885

⑤Int. Cl.²

識別記号

⑥日本分類

庁内整理番号

④公開 昭和54年(1979)1月6日

H 01 L 29/78

99(5) E 3

6603-5F

発明の数 1

H 01 L 29/06

7514-5F

審査請求 未請求

(全 4 頁)

④電界効果トランジスタの製造方法

東京都港区芝五丁目33番1号

日本電気株式会社内

①特 願 昭52-65943

⑦出 願 人 日本電気株式会社

②出 願 昭52(1977)6月3日

東京都港区芝五丁目33番1号

③発 明 者 酒井潔

⑧代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

電界効果トランジスタの製造方法

2. 特許請求の範囲

一導電型半導体基板上に該半導体基板より低抵抗の導電型不純物層を形成する工程と、該一導電型不純物層を貫通し、互いに所定の間隔を有して対向する部分を含む他の導電型の第1の領域を形成する工程と、該第1の領域に前記一導電型の第2の領域を形成する工程と、前記半導体基板と前記第2の領域との間に存在する前記第1の領域に前記対向する部分を含む領域の表面上に形成されたゲート絶縁物層を形成する工程と、該ゲート絶縁物層上に第1ゲート電極を前記半導体基板にドレイン電極を、前記第1の領域に第2ゲート電極を、前記第2の領域にソース電極を形成する工程を含むことを特徴とする電界効果トランジスタの製造方法。

3. 発明の詳細な説明

本発明は電界効果トランジスタの製造方法に関する。

電界効果トランジスタは本質的に周波数特性に秀れ、更に熱的にも安定であることから高周波高出力用途として秀れた利点を有している。

高周波高出力用途に適した電界効果トランジスタの一例として第1図に示した構造が考えられている。N型の半導体基板11内に環状のP型領域12とさらにその内に形成された環状のN⁺型領域13を有し、このN⁺型領域13内の半導体基板11上にゲート酸化膜14とその上の第1ゲート電極17とを備え、半導体基板11の裏面にはドレイン電極15を有し、P型領域12には第2ゲート電極18をまたN⁺領域13にはソース電極16を有するものである。本構造による電界効果トランジスタの動作は等価的に第2図に示した如く、N⁺型領域13をソースとし第1ゲート電極17をゲートとしN⁻型半導体基板11の表面をドレインとするMOS型電界効果トランジスタ

100と、半導体基板11のN⁺型領域13に囲まれた表面をソースとしP型領域12をゲートとし半導体基板11の他の裏面をドレインとする接合型電界効果トランジスタ200との組み合わせたものになる。チャンネル長はMOS型電界効果トランジスタ100によって短かく規定されるので高周波特性が優れ、高周波用途に適しており、接合型電界効果トランジスタ200によって高い耐圧が得られるので高耐圧高出力用途に適している。

このような構成の他の利点は第1に電圧容量(第2図のドレイン15及び第1ゲート17間の静電容量)を非常に小さく出来ることが挙げられる更に第2に電界効果トランジスタに印加可能な最大電圧は主に接合型電界効果トランジスタ200で決定されるため、一般のMOS型電界効果トランジスタに比し極めて高耐圧高出力動作が可能となる。しかしながら、耐圧は第1図のドレイン領域である半導体基板11と第2ゲート電極であるP型領域12とのP-N接合の逆耐圧の大きさで決定される。更に電力利得はMOS型電界効果

トランジスタ100のドレイン領域であり、かつ接合型電界効果トランジスタ200のソース領域である半導体基板11のP型領域12に囲まれた領域での内部抵抗で制約される。従って高耐圧化のために半導体基板の不純物濃度を下げると電力利得が減少し、反対に高利得化のために半導体基板の不純物濃度を上げると耐圧が低下するという問題が生じる。

これらの問題を解決する精造として発明者らはすでに第3図の如き構成を提案し出願している。すなわち、半導体基板11のP型領域12で囲まれる領域に不純物を熱拡散、あるいはイオン打込等により選択的に導入して半導体基板11と同じ導電型で不純物濃度の大きいアイランド領域19を形成するものである。このアイランド領域19は例えば、第2ゲートであるP型領域12に重なり、MOS型電界効果トランジスタ100のチャンネル長等を制御することが困難になり、高周波特性の制御がむづかしくなる。このP型領域12で囲まれる領域の間隔は数μm程度もしくはそれ

以下であり、製造上非常な困難を併なうものである。

また、アイランド領域19を高濃度にするるとアイランド領域19の深さが深くなり接合型電界効果トランジスタ200のチャンネル抵抗が減少するが、高温にての不純物拡散工程を必要とするため、先に形成されたP型領域12の深さが変化し、所定の電気的特性が得られないという問題が生じる。さらにアイランド領域19をイオン打込み技術により高電圧でイオン打込みを行なって形成する場合に、この打込み工程で発生する結晶欠陥、も大巾に増加し、雑音が大きくなる等電気的特性を損なってしまふ。

本発明は高耐圧で電力利得が大きくかつ高周波特性の優れた電界効果トランジスタを得る製造工程を提供するものである。

具体的にはN⁻型基板表面にあらかじめN型層を形成する工程を経た後P型領域を環状に形成しさらにそのP型領域中にN型領域を形成し、環状のP型領域のN型領域よりも内部の領域上にゲ-

ト絶縁膜を形成し、しかる後ソース、ドレイン、第1ゲート、第2ゲートの各電極を形成するものである。この場合P型領域とN⁻型基板とのP-N接合の逆耐圧はP型領域とN型領域とのP-N接合の逆耐圧で決定されるため、逆耐圧の低下の原因となるので、N型領域の不純物濃度を適当に($10^{14} \sim 10^{16} / \text{cm}^3$ 程度)選択することが可能である、あるいは環状P型領域内部のN型アイランド領域以外のN型領域を選択的に除去したり酸化物に変質せしめることにより逆耐圧の低下を回避することが容易に可能である。

N型領域の製造工程はN⁻基板上に不純物の気相拡散、固相拡散、イオン打込、あるいはN型層の気相成長等の種々のプロセスを用いることが可能であり極めて広い範囲のN型層の不純物濃度、厚さ等を選択可能である。

以上の結果、得られた素子は前に述べた如く、十分な耐圧を有し、更に内部抵抗が減少しその結果大電流動作が可能で大きな電力利得を得ることができ高周波高出力用途として大巾に改善された

特性が得られる。

次に具体的な実施例を工程を述べて第4-(a)~(e)を参照して説明する。

第4-(a)図は半導体基板41であり、ここでは数 Ω ~数十 Ω 程度の低抵抗率を有するN⁻型シリコン基板である。半導体基板41上には基板41より低い抵抗率(数百 Ω ~数千 Ω)のN型領域42がその厚さは1 μ mから数十 μ m程度に形成されている。領域42の形成方法は不純物気相拡散固相拡散イオン打込、エピタキシャル成長等によるものでありそのプロセスの詳細は既知のものとし省略する。

第4図(b)に示す如く、半導体基板41及びN型領域42上には第2のゲート領域となる環状のP型領域43を不純物拡散あるいはイオン打込み等により選択的に形成される。このP型領域43の拡散層の深さは1 μ m~数十 μ m程度が望ましく、N型領域42よりも深く形成される。

次に第4図(c)に示す如く、第4図(b)のP型領域43形成と同様の方法でP型領域43の内部にソース

にプレーナ技術を用いて行なわれ、最終的には高周波、高出力用途に適した電界効果トランジスタが形成されることになる。

ところで第4図(c)に示すような構造は全体の大きさが極小であることから第2のゲート電極47

をP型領域43上に設置することが実際に困難であり、実際には第5図に示す如く、P型領域43'を形成する第4図(d)の工程の前に同じくP型領域43'をあらかじめP型領域43に接する位置に形成し、この領域43'上に第2のゲート電極47を設置するようにしている。又、ドレイン電極49の抵抗を減少せしめるために基板11の表面にN⁻型層52上にN⁻型層51を形成し、N⁻型層52にドレイン電極49をN⁻型層51に形成することが良い。

なお、実施例ではN型チャンネルの場合について説明してきたが、Pチャンネルの場合も同様に実施しうることは明らかであり、この場合半導体の電導型は全て反対のものが用いられる。またP型領域43やN型領域44は望ましくは丸い環状

領域となる。N型領域44を形成する。P型領域43の拡散層の深さ L_1 とN型領域44の拡散層の深さ L_2 との差(L_1-L_2)は1 μ mのMOS型電界効果トランジスタ100のチャンネル長に相当し1 μ mから数 μ m程度にしくはそれ以下に制御する必要がある。

第4図(d)はP型領域43のうち、互いに対向している部分側の拡散層上にゲート絶縁膜となる絶縁物層45を形成した工程の図である。絶縁物層45の厚さは数百 \AA ~数千 \AA に形成される。

次に第4図(e)に示す如く、N型領域44上にはソース電極46、絶縁物層45上には第1のゲート電極47を設置し、更にP型領域43上には第2のゲート電極48を半導体基板41の下面面にはドレイン電極49を設置している。電極材料としてはアルミニウム、金等が使用されるが、特に第1のゲート電極47にはシリコン等の半導体、

高耐熱性の良好な金属、例えば、モリブデン等を使用することが望ましい。

以上のような製造は、一般的に、シリコン基板

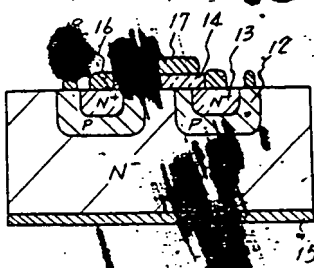
に形成されるが他の形状の環状でもよく、また対向する2つの領域に形成し、外部配線でこれらを接続したものと同様の効果が期待される。

以上、説明してきたように本発明によれば高周波特性がより改善され、しかも高耐圧で高出力用電界効果トランジスタが容易に実現しうるものである。

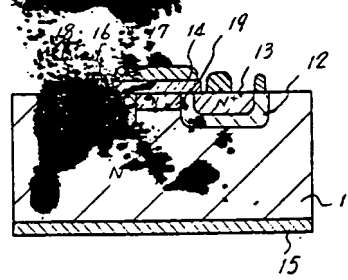
4. 図面の簡単な説明

第1図は従来の高周波高出力用の電界効果トランジスタの平面図、第2図は第1図に示す素子の電気的等価回路、第3図は従来の他の例を示す断面図、第4図(a)~(e)は第3図の実施例の各工程における断面図、第5図は第4図(e)を一部変更した一実施例の断面図である。

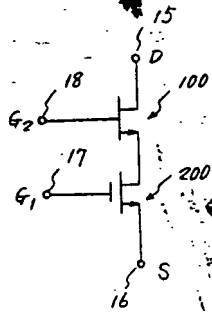
15, 49 ドレイン電極、17, 46 第1ゲート電極、18, 48 第2ゲート電極、16, 47 ソース電極、11, 41 半導体基板、12, 43, 43' P型領域、13, 44 N型領域、14, 45 ゲート絶縁膜、42 N型層、19 アイランド領域。



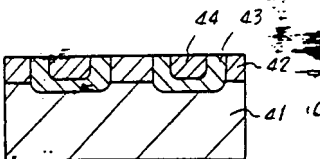
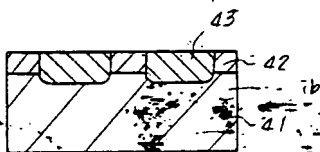
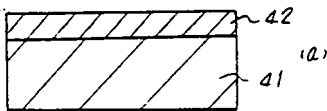
第 1 図



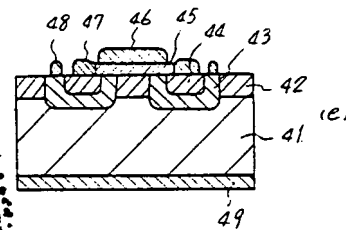
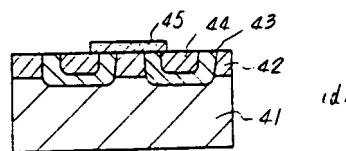
第 3 図



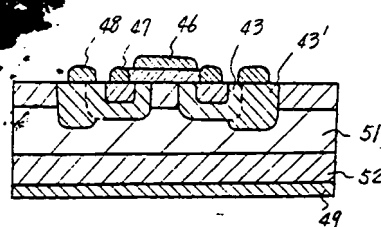
第 2 図



第 4 図



第 4 図



第 5 図

54-885

Said Open Patent Specification No. 885/79

Said Open Date: January 6, 1979

Patent Application No. 65943/77

Patent Application Date: July 3, 1977

Inventor: Kiyoshi SAKAI

Applicant: Nippon Denki Kabushiki Kaisha

Title of the Invention: Methods of Manufacturing Field Effect Transistors

1. Scope of the Patent Claim:

A method of manufacturing a field effect transistor, characterized by the steps of:

forming a one conductivity type impurity layer on a one conductivity type semiconductor substrate, said impurity layer being less resistive than said substrate;

forming a first region of the other conductivity type which passes through said one conductivity type impurity layer and includes portions provided opposite to each other with a predetermined space therebetween;

forming a one conductivity type second region on said first region;

forming a gate insulating layer on the surface of said first region having opposing portions and provided between said semiconductor substrate and a second region; and

forming a first gate electrode, a second electrode and a source electrode respectively on said gate insulating layer, said semiconductor substrate, and said second region.

3. Detailed Description of the Invention:

The present invention relates to a method of manufacturing a field effect transistor.

Since the field effect transistor is ^{essentially} superior in its frequency characteristic and is thermally stable, it has excellent advantages for use in high frequency and high output applications.

As an example suitable for use in the high frequency and high output applications, a structure shown in Fig. 1 is proposed, in which an N type semiconductor substrate 11 includes an annular P type region 12 and an annular N⁺ type region 13 which is formed within the region 12. A gate oxide film 14 and a first gate electrode 17 which is accumulated thereon are formed on a surface portion of said semiconductor substrate 11 within said N⁺ type region 13. A drain electrode 15 is provided on the back face of the semiconductor substrate 11, a second gate electrode 18 is provided on the P type region 12 and a source electrode 16 is provided on the N⁺ type region 13. The field effect transistor of this structure operates equivalently to a combination of

OS type field effect transistor 100 in which ~~the~~ N⁺ type region 13 acts as

source, the first gate electrode 17, as a gate, and the surface of the N^- type semiconductor substrate 11, as a drain and a junction type field effect transistor 200 in which a surface portion of the semiconductor substrate 11 which is surrounded by the N^+ type region 13 acts as a source, the P type region 12, as a gate, and the back face of the semiconductor substrate 11, as a drain as shown in Fig. 2. The channel length is defined short by the MOS type field effect transistor 100, which makes it suitable for use in high frequency applications and the junction type field effect transistor provides a high pressure tightness, which makes it suitable for use in high pressure-tight high output applications.

Other advantages of this structure lie in that a feedback capacity (electrostatic capacity between the drain 15 and the first gate 17 in Fig. 2) can be extremely reduced and that the maximum voltage applicable to the field effect transistor is mainly determined by the junction type field effect transistor 200, which permits higher pressure tightness and higher output operation than would be provided by conventional MOS type field effect transistors. However, the pressure tightness depends on the magnitude of an inverse pressure tightness at a P-N junction between the semiconductor substrate 11 acting as the drain region and the P type region 12 acting as the second gate electrode. In addition, power gain is restricted

by an internal resistance in a region of the semiconductor substrate 11 which is surrounded by the P type region 12

and acts as the drain region of the MOS type field effect transistor 100

and the source region of the junction type field effect transistor 200.

Accordingly, such problems occur that decreasing the impurity concentration in the semiconductor

substrate for rendering the structure highly pressure-tight reduces the power

gain, while increasing the impurity concentration in the semiconductor

substrate to increase the gain lowers the pressure tightness.

In order to solve these problems, the inventor and so on have already provided and filed a structure as shown in Fig. 3. That is, an impurity

is selectively introduced into the region of the semiconductor substrate 11 which is

surrounded by the P type region 12 by heat diffusion or ion implantation

to form an island region 19 which is of the same conductivity type as

the semiconductor substrate 11 and has a high impurity concentration.

If the island region 19 is piled upon the P type region 12 to act as a

second gate, it is difficult to control the channel length of the MOS type

field effect transistor 100 and hence it is difficult to control the

high frequency characteristic. The length of the region surrounded by the

P type region 12 is on the order of several μm or less, which makes it

extremely difficult to manufacture the same.

In addition, if the island region 19 has a higher impurity concentration

although its depth becomes deeper and the channel resistance in the junction type field effect transistor is reduced, the impurity should be diffused at high temperature, so that such problems occur that the depth of the previously formed P type region 12 varies and hence a predetermined electric characteristic can not be obtained. Further, when the island region 19 is formed by ion implantation under a high voltage, crystal defects occurring during this ion implantation are remarkably increased and the electric characteristic is lost, for example, noise is increased.

The present invention provides a method of manufacturing a field effect transistor having high pressure tightness and power gain, and an excellent high frequency characteristic.

To put it concretely, after forming an N type layer on the surface of an N⁻ type substrate, a P type region is annually formed; an N type region is formed in the P type region, and a gate insulating film is formed on a region of the annular P type region which is situated inner than the N type region. Thereafter, source, drain, first gate and second gate electrodes are respectively formed. In this case, since the reverse pressure tightness at a P-N junction between the P type region and the N⁻ type substrate is determined by the reverse pressure tightness at a P-N junction between the P type region and the N type region, which caused a reduction in the reverse pressure tightness

it is possible to properly select the impurity concentration in the N type region (on the order of 10^{14} to $10^{16}/\text{cm}^3$), or the reduction in the reverse pressure tightness can be readily avoided by selectively removing the N type region within the annular P type region except N type island region or changing it into an oxide.

The N type region can be formed by various methods, such as phase diffusion of impurity into the N⁻ type substrate, solid phase diffusion, ion implantation, or vapor phase deposition of an N type layer, so that the impurity concentration in the N type layer and its thickness can be widely selected.

As has been mentioned above, the resultant element has a sufficient pressure tightness and a reduced internal resistance, which permits an operation with large current and hence provides higher power gain, so that extensively improved characteristic for use in the high frequency and high output applications is provided.

A concret embodiment of the present invention will be described with reference to Figs. 4(a) to 4(e).

Fig. 4(a) shows a semiconductor substrate 41 which is an N⁻ type silicon substrate having a resistivity on the order of several Ω to several tens Ω . On the semiconductor substrate 41, an N type region 42 of a resistivity lower

(several hundred $m\Omega$ to several ten. Ω) than that of the substrate 41 is formed to have a thickness from $1\mu m$ to several ten. μm . The region 42 can be formed by well known various methods, such as impurity phase diffusion, solid phase diffusion, ion implantation, epitaxial growth and the like, so that the description thereof is omitted.

As shown in Fig. 4(b), an annular P type region 43 which acts as a second gate region is selectively formed on the semiconductor substrate 41 and the N type region 42 by impurity diffusion or ion implantation. The depth of a diffused layer in the P type region 43 is desirably $1\mu m$ to ten and several μm and deeper than that of the N type region 42.

As shown in Fig. 4(c), an N type region 44 to act as a source region is formed in the P type region 43 in a similar manner. The difference between the depth L_1 of the diffused layer in the P type region 43 and the depth L_2 of the diffused layer in the N type region 44 ($L_1 - L_2$) corresponds to the channel length of the MOS type field effect transistor 100 in Fig. 1 and it must be controlled to $1\mu m$ to several μm or less.

Fig. 4(d) shows a step of forming an insulating layer 45 to act as a gate insulating film on opposed portions of the P type region 43. The insulating layer 45 is formed to have a thickness of several hundred \AA to several thousand \AA .

As shown in Fig. 4(e), source electrode 46, first gate electrode 47 and second gate electrode 48 are respectively formed on the N type region 44, insulating layer 45 and P type region 43. A drain electrode 49 is provided on the lower surface of the semiconductor substrate 41. Aluminum, gold and the like are used as electrode materials. In particular, for the first gate electrode 47 semiconductor, such as silicon, or a metal of an excellent heat resistivity, such as molybdenum is desirably used.

These elements are generally formed on a silicon substrate by planar technique, so that a field effect transistor suitable for use in the high frequency and high output applications is provided.

The structure as shown in Fig. 4(e) is minute in size, so that it is actually difficult to provide the second gate electrode 48 on the P type region 43. Accordingly, in practice, as shown in Fig. 5, a P type region 43' is previously formed in a position in contact with the P type region 43 prior to the formation of the P type region 43 and the second gate electrode 48 is provided on the region 43'. In addition, in order to reduce a resistance in the drain region, a substrate in which an N⁻ type layer 51 is preferably formed on an N⁺ type layer 52 is used as the substrate 41 and the drain electrode 49 and the N type layer 42 are respectively formed on the N⁺ type layer 52 and the N⁻ type layer 51.

Although the embodiment has been described with reference to the formation of the N type channel, it is apparent that the present invention is also applicable to the formation of the P type channel, in which case a semiconductor of a conductivity type opposite to that used in the formation of the N type channel is used. Although the P type region 43 and the N type region 44 are desirably formed into a round and annular shape, these regions can be formed into an annulus of other configurations and the same effect is obtained even if these regions are formed opposite to each other and connected together by an external wiring.

As has been described above, according to the present invention, the high frequency characteristic is further improved and a field effect transistor of a high pressure tightness and suitable for use in the high output application can be readily implemented.

4. Brief Description of the Drawings:

Fig. 1 is a sectional view of a conventional field effect transistor for use in the high frequency and high output application; Fig. 2 is a circuit which is electrically equivalent to that of the element shown in Fig. 1; Fig. 3 is a sectional view of another conventional example; Figs. 4(a) to 4(e) respectively show sectional views in individual steps of an embodiment in Fig. 3; and Fig. 5 is a sectional view of an alternative embodiment in

which the embodiment shown in Fig.4(e) is partially altered.

15,49...drain electrode, 17,46...first gate electrode, 18,48...second gate electrode, 16,47...source electrode, 11,41...semiconductor substrate, 12,43,43'...P type region, 13,44...N type region, 14,45...gate insulating film, N type layer, 19...island region.